

(19) 世界知的所有権機関  
国際事務局(43) 国際公開日  
2005年6月9日 (09.06.2005)

PCT

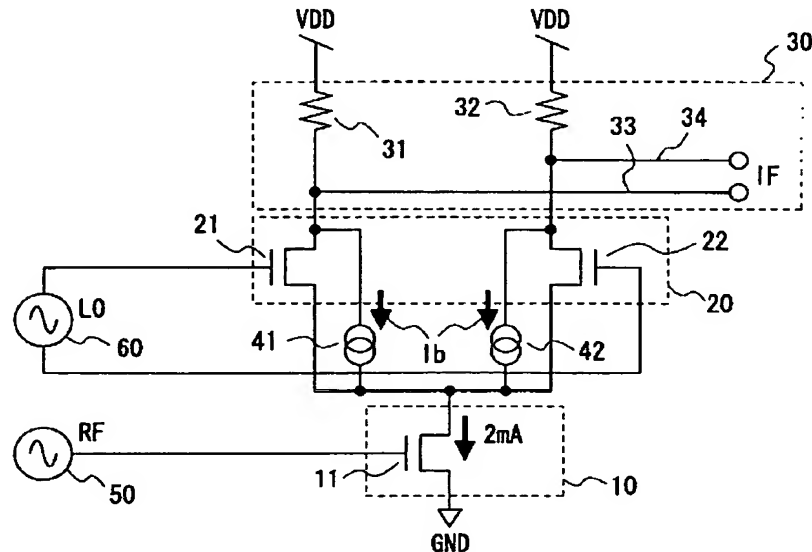
(10) 国際公開番号  
WO 2005/053149 A1

- (51) 国際特許分類<sup>7</sup>: H03D 7/00, 7/14 (72) 発明者; および  
(21) 国際出願番号: PCT/JP2004/016938 (75) 発明者/出願人 (米国についてのみ): 土方 克昌 (HIJIKATA, Katsumasa), 林 鋭二 (HAYASHI, Joji).  
(22) 国際出願日: 2004年11月15日 (15.11.2004) (74) 代理人: 早瀬 憲一 (HAYASE, Kenichi); 〒5320003 大阪府大阪市淀川区宮原3丁目4番30号 ニッセイ新大阪ビル13階 早瀬特許事務所 Osaka (JP).  
(25) 国際出願の言語: 日本語  
(26) 国際公開の言語: 日本語 (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.  
(30) 優先権データ:  
特願 2003-400262  
2003年11月28日 (28.11.2003) JP  
(71) 出願人 (米国を除く全ての指定国について): 松下電器産業株式会社 (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) [JP/JP]; 〒5718501 大阪府門真市大字門真1006番地 Osaka (JP).

[続葉有]

(54) Title: MIXER CIRCUIT

(54) 発明の名称: ミキサ回路



(57) Abstract: A mixer circuit of a receiving system that must have a low noise characteristic for a low frequency, wherein a bypass current source (41) is connected, in parallel with an LO transistor (21), between an IF output terminal (33) and the drain terminal of an RF transistor (11), and a bypass current source (42) is connected, in parallel with an LO transistor (22), between an IF output terminal (34) and the drain terminal of the RF transistor (11), whereby the currents flowing through the LO transistors (21,22) can be reduced without reducing a bias current flowing through the RF transistor (11). In this way, a mixer circuit is provided in which flicker noise occurring from the LO transistors (21,22) can be reduced without reducing the mixer gain, the NF characteristic for a low frequency can be improved, and an excellent low frequency/noise characteristic can be achieved.

(57) 要約: 低周波の低雑音特性が求められる受信系のミキサ回路において、バイパス電流源(41)を、IF出力端子(33)とRFトランジスタ(11)のドレイン端子との間に、LOトランジスタ

[続葉有]



(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

添付公開書類:

— 国際調査報告書

(21) と並列に接続し、バイパス電流源 (42) を、IF出力端子 (34) とRFトランジスタ (11) のドレイン端子との間に、LOトランジスタ (22) と並列に接続したことにより、RFトランジスタ (11) に流れるバイパス電流を小さくすることなく、LOトランジスタ (21, 22) に流れる電流を小さくすることができる。これにより、ミキサの利得を低減させることなく、LOトランジスタ (21, 22) から発生するフリッカ雑音を低減させることができ、低周波におけるNF特性を改善できる低周波雑音特性に優れたミキサ回路を提供する。